

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326574

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K	5/135	4239-5 J		
	7/08	Z 7402-5 J		
H 0 3 L	7/081	9182-5 J	H 0 3 L 7/ 08	J

審査請求 有 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願平5-115628

(22) 出願日 平成5年(1993)5月18日

(71) 出願人 591128453

株式会社メガチップス

大阪府吹田市江坂町1丁目12番38号 江坂
ソリトンビル

(72) 発明者 坂東 昭則

大阪府吹田市江坂町1丁目12番38号 江坂
ソリトンビル 株式会社メガチップス内

(72) 発明者 東井 秀夫

大阪府吹田市江坂町1丁目12番38号 江坂
ソリトンビル 株式会社メガチップス内

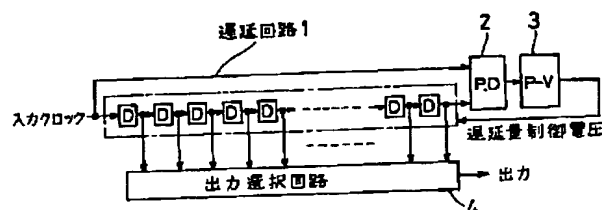
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 制御信号発生回路、パルス幅変調回路、遅延制御回路およびクロック発生回路

(57) 【要約】

【目的】 高周波数のクロックを用いることなく、高精度、高分解能の制御信号を発生すること。

【構成】 位相差検出回路2により遅延回路1の入力と出力の位相差を検出し、位相差電圧変換回路3によりこの位相差に応じた電圧を発生し、これを遅延回路1にその遅延量制御電圧として印加することにより、その遅延量を制御するようにした。



D : 遅延素子

2 : 位相差検出回路

3 : 位相差・電圧変換回路

1

【特許請求の範囲】

【請求項1】 クロック信号発生回路と、
該回路より出力されるクロック信号を入力する遅延回路と、
該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、
該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、
該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路とを備えたことを特徴とする制御信号発生回路。

【請求項2】 前記位相差電圧変換回路から出力される遅延量制御電圧を入力する前記遅延回路と前記位相差検出信号との間の信号を相互にフィードバックするフィードバック回路を備えたことを特徴とする請求項1記載の制御信号発生回路。

【請求項3】 前記遅延回路は、
第1のクロック信号および第1の遅延量制御電圧とを入力する第1の遅延回路と、
第2のクロック信号および第2の遅延量制御電圧とを入力する第2の遅延回路とを備えたことを特徴とする請求項1記載の制御信号発生回路。

【請求項4】 前記遅延量制御電圧と他のクロック信号とを入力する遅延回路と、
該遅延回路から出力される制御信号を出力選択する出力選択回路とを備えたことを特徴とする請求項1記載の制御信号発生回路。

【請求項5】 前記遅延回路は、
遅延素子を複数個直列に接続してなることを特徴とする請求項1ないし4のいずれかに記載の制御信号発生回路。

【請求項6】 クロック信号発生回路と、
該回路より出力されるクロック信号を入力する遅延回路と、
該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、
該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、
該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路と、
該出力選択信号を入力してパルス幅変調信号を出力するパルス幅変調信号生成回路とを備えたことを特徴とするパルス幅変調回路。

【請求項7】 前記遅延回路は、遅延素子を複数個直列に接続してなることを特徴とする請求項6記載のパルス幅変調回路。

2

【請求項8】 クロック信号発生回路と、

該回路より出力されるクロック信号を入力する遅延回路と、
該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、
該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、
該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路とを備え、
かつ前記出力選択回路はその選択信号のうちの1つのみを選択可能信号として選択して遅延信号を出力する遅延信号出力回路を有することを特徴とする遅延制御回路。

【請求項9】 前記遅延回路は、
遅延素子を複数個直列に接続してなることを特徴とする請求項8記載の遅延制御回路。

【請求項10】 前記出力選択回路は、
複数段設けられていることを特徴とする請求項8記載の遅延制御回路。

【請求項11】 クロック信号発生回路と、
該回路より出力されるクロック信号を入力する遅延回路と、
該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、
該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、
該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路と、
該出力選択回路の選択信号が選択可能信号のとき前記遅延回路に選択された制御信号を入力するフィードバック回路とを備えたことを特徴とするクロック発生回路。

【請求項12】 前記遅延回路は、
遅延素子を複数個直列に接続してなることを特徴とする請求項11記載のクロック発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、種々の電気回路や、電気的な装置に使用される制御信号発生回路、パルス幅変調回路、遅延制御回路およびクロック発生回路に関するものである。

【0002】

【従来の技術】 図12は従来、制御信号の発生に使用される回路の一例である、PLL(PhaseLocked Loop)回路を示す。図において、121は入力クロックと本PLL回路の出力クロックとの位相差を検出する位相差検出回路、122はこの位相差検出回路122により検出された位相差をこれに応じた電圧に変換する位相差電圧変

3

換回路、123はこの位相差電圧変換回路122により変換された電圧に応じてその発振周波数が変化する電圧制御発振回路である。

【0003】次に動作について説明する。位相差検出回路121に入力された入力クロックは本PLL回路の出力クロックと比較されてその位相差が検出される。この位相差検出回路121により検出された位相差に応じた信号は位相差電圧変換回路122に入力されて位相差に応じた電圧に変換され、電圧制御発振回路123に入力される。電圧制御発振回路123はその入力電圧に応じた発振周波数で発振しその発振信号が本PLL回路の出力クロックとして外部に出力される。

【0004】このような構成により、電圧制御発振回路の周波数および位相が入力クロックの周波数、位相に一致するように入出力の位相差を検出し、フィードバック制御を行なうPLL回路は公知の技術であり、単一周波数の制御に用いられている。

【0005】また、図13はディジタル回路で構成された従来の遅延制御回路の一例としてのパルス幅変調(PWM)回路であり、図において、131、132、133、…、13Nはそれぞれそのクロック信号に同期して入力信号を1クロック分遅延するDフリップフロップであり、Dフリップフロップ131のD入力には遅延すべき入力信号が、CLK入力には必要とする時間分解能以上の周波数を持つクロック信号が、それぞれ入力されており、Q出力からは1クロック分遅れた信号が出力される。Dフリップフロップ132のD入力にはこのDフリップフロップ131のQ出力が入力されており、CLK入力にはDフリップフロップ131に入力されたものと同一のクロック信号が入力されており、Q出力からは1クロック分遅れた信号が出力される。以下、同様にDフリップフロップが相互に直列に接続され、Dフリップフロップ13NのD入力にはDフリップフロップ13N-1のQ出力が入力されており、Dフリップフロップ131~13NのそれぞれのQ出力の組合せ論理でPWM信号を作ることができる。

【0006】次に動作について説明する。入力信号はDフリップフロップ131に入力され、このDフリップフロップ131によりクロック信号の1クロック分遅延されてDフリップフロップ132に対して出力される。このDフリップフロップ131の出力信号はDフリップフロップ132によりDフリップフロップ131と同様クロック信号の1クロック分遅延されてDフリップフロップ133に出力される。以下同様にしてDフリップフロップを1段ずつ通過する毎にクロック信号の1クロック分ずつ遅延量が増加し、最終的にDフリップフロップ13Nからは入力信号を互いに直列接続されたDフリップフロップ131~13Nの個数と同数のクロック数分遅れた信号が出力される。

【0007】さらに、図14はアナログ回路で構成され

4

た従来の遅延制御回路の一例であり、これはランプ回路と電圧比較器とを用いて構成できる。図において、141はランプ波形を発生するランプ回路であり、これは定電流を発生する定電流回路1411とこの定電流回路1411が定電流を出力する定電流ノードと接地ノードとの間に接続されたコンデンサ1412とで構成される。142はこのランプ回路141の定電流回路1411とコンデンサ1412との接続ノードから出力されたランプ波形信号がその非反転入力端子に、設定電圧VRがその反転入力端子にそれぞれ入力され、ランプ波形信号と設定電圧VRとを電圧比較する電圧比較器である。

【0008】次に動作について説明する。ランプ回路141によって発生されたランプ波形信号は図15に示すように時間とともにその電圧値がリニアに上昇するものであり、このランプ波形信号が設定電圧VRより低い間は電圧比較器142の出力はロウレベル(=0V)のままであり、このランプ波形信号が設定電圧VRを越えると、電圧比較器142の出力はロウレベルからハイレベル(=5V)に反転する。従って、コンデンサ1412の充電電流I、設定電圧VRを変更することにより、電圧比較器142の出力Voutが反転するまでの時間を変えることができる。

【0009】

【発明が解決しようとする課題】従来の制御信号発生回路は以上のように構成されており、図12のPLL回路では、単一の周波数を合わせ込む用途にしか用いることができなかった。

【0010】また、図13のPWM回路では、パルス幅はその遅延素子の個数で決定されてしまい、回路の柔軟度がなく、また所望の時間分解能を満たすために、非常に高い周波数のクロックが必要となり、例えば、0.1ナノ秒の分解能とするには10GHzの数倍のクロックが必要となる。従って、高分解能とするのは現実的ではないという問題があった。

【0011】また、図14のアナログ回路では、アナログ回路特有の素子の値のばらつき、温度変動があり、これによりその高分解能化は困難であるという問題があった。

【0012】この発明は上記のような従来のものの問題点を解決するためになされたもので、非常に高い周波数のクロックを必要とせず、かつ安定に高時間分解能の制御信号を発生できる制御信号発生回路、パルス幅変調回路、遅延制御回路およびクロック発生回路を得ることを目的とする。

【0013】

【課題を解決するための手段】この発明に係る制御信号発生回路は、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差

5

検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路とを設けるようにしたものである。

【0014】また、この発明に係る制御信号発生回路は、前記位相差電圧変換回路から出力される遅延量制御電圧を入力する前記遅延回路と前記位相差検出信号との間の信号を相互にフィードバックするフィードバック回路を設けるようにしたものである。

【0015】また、この発明に係る制御信号発生回路は、前記遅延回路として、第1のクロック信号および第1の遅延量制御電圧とを入力する第1の遅延回路と、第2のクロック信号および第2の遅延量制御電圧とを入力する第2の遅延回路とを設けるようにしたものである。

【0016】また、この発明に係る制御信号発生回路は、前記遅延量制御電圧と他のクロック信号とを入力する遅延回路と、該遅延回路から出力される制御信号を出力選択する出力選択回路とをさらに設けるようにしたものである。

【0017】また、この発明に係る制御信号発生回路は、前記遅延回路として、遅延素子を複数個直列に接続して構成したものをを用いるようにしたものである。

【0018】この発明に係るパルス幅変調回路は、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路と、該出力選択信号を入力してパルス幅変調信号を出力するパルス幅変調信号生成回路とを設けるようにしたものである。

【0019】また、この発明に係る制御信号発生回路は、前記遅延回路として、遅延素子を複数個直列に接続してなるものをを用いたものである。

【0020】この発明に係る遅延制御回路は、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路とを設けるとともに、かつ前記出力選択回路にその選択信号のうちの1つのみを選択可能信号として選択して遅延信号を出力する遅延信号出力回路を設けるようにしたものである。

【0021】また、この発明に係る遅延制御回路は、前

6

記遅延回路として、遅延素子を複数個直列に接続してなるものをを用いるようにしたものである。

【0022】また、この発明に係る遅延制御回路は、前記出力選択回路を、複数段設けるようにしたものである。

【0023】この発明に係るクロック発生回路は、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路と、該出力選択回路の選択信号が高レベル電圧のとき前記遅延回路に選択された制御信号を入力するフィードバック回路とを設けるようにしたものである。

【0024】また、この発明に係るクロック発生回路は、前記遅延回路として、遅延素子を複数個直列に接続してなるものをを用いるようにしたものである。

【0025】

【作用】この発明における制御信号発生回路においては、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路とを設けるようにしたので、遅延回路の出力信号とその入力信号との位相が一致し、その遅延回路のさまざまな遅延出力を選択してこれを制御信号として使用できる。

【0026】また、この発明における制御信号発生回路においては、前記位相差電圧変換回路から出力される遅延量制御電圧を入力する前記遅延回路と前記位相差検出信号との間の信号を相互にフィードバックするフィードバック回路を設けるようにしたので、制御信号をより安定に得ることができる。

【0027】また、この発明における制御信号発生回路においては、前記遅延回路として、第1のクロック信号および第1の遅延量制御電圧とを入力する第1の遅延回路と、第2のクロック信号および第2の遅延量制御電圧とを入力する第2の遅延回路とを設けるようにしたので、第1のクロック信号とは異なる周波数の第2のクロック信号に基づいて制御信号を得ることができる。

【0028】また、この発明における制御信号発生回路においては、前記信号発生回路を、前記遅延量制御電圧と他のクロック信号とを入力する遅延回路と、該遅延回路から出力される制御信号を出力選択する出力選択回路

7

とをさらに設けるようにしたので、さまざまなクロック信号に基づいて制御信号を作成することができる。

【0029】また、この発明における制御信号発生回路においては、前記遅延回路として、遅延素子を複数個直列に接続して構成したものをを用いるようにしたので、さまざまな遅延量を有する制御信号となりうる信号を実際に作成することができる。

【0030】この発明におけるパルス幅変調回路においては、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路と、該出力選択信号を入力してパルス幅変調信号を出力するパルス幅変調信号生成回路とを設けるようにしたので、制御信号発生回路で作成したさまざまな遅延量を有する制御信号をパルス幅変調信号生成回路で作成するパルス幅変調信号のパルス幅の制御に用いることができる。

【0031】また、この発明におけるパルス幅変調回路においては、前記遅延回路として、遅延素子を複数個直列に接続してなるものをを用いるようにしたので、パルス幅変調信号のパルス幅の制御に使用するさまざまな遅延量を有する制御信号を実際に得ることができる。

【0032】また、この発明における遅延制御回路においては、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路とを設けるとともに、かつ前記出力選択回路にその選択信号のうちの1つのみを選択可能信号として選択して遅延信号を出力する遅延信号出力回路を設けるようにしたので、出力選択回路で遅延回路の遅延信号を選択することにより、遅延量が制御された信号を得ることができる。

【0033】また、この発明における遅延制御回路においては、前記遅延回路として、遅延素子を複数個直列に接続してなるものをを用いるようにしたので、遅延量が制御された信号を実際に得ることができる。

【0034】また、この発明に係る遅延制御回路においては、前記出力選択回路を、複数個設けることで、遅延量が制御された信号を複数得ることができる。

【0035】また、この発明におけるクロック発生回路によれば、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路か

8

ら出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路と、該出力選択回路の選択信号が選択可能信号のとき前記遅延回路に選択された制御信号を入力するフィードバック回路とを設けるようにしたので、フィードバックする信号を選択することにより、クロック出力の周波数を変更することができる。

【0036】また、この発明におけるクロック発生回路においては、前記遅延回路として、遅延素子を複数個直列に接続してなるものをを用いるようにしたので、周波数を変更し得る複数のクロック出力を実際に得ることができる。

【0037】

【実施例】実施例1. 以下、この発明の一実施例を図について説明する。図1は本発明の一実施例による制御信号発生回路を示す。図において、1は図示しないクロック発生回路により発生された入力クロック信号を遅延する遅延回路であり、複数取り出されたタップより同量分ずつ遅延された信号を出力するとともに、後述する位相差電圧変換回路からの遅延量制御電圧に応じてその遅延量が制御される。2は上記入力クロック信号と遅延回路1により最大量遅延された信号との位相差を検出する位相差検出回路、3はこの位相差検出回路2により検出された位相差をこれに応じた電圧に変換する位相差電圧変換回路、4は上記遅延回路1から複数取り出されたタップの出力のうちの1つを選択してこれを制御信号として外部に出力する出力選択回路である。

【0038】図2は図1の遅延回路1および出力選択回路4の回路構成例を示す図であり、図において、遅延回路1は相互に直列に接続された遅延素子D1～Dnにより構成されており、各遅延素子D1～Dnはその入力信号を増幅するバッファアンプ11～1n、このバッファアンプ11～1nの出力ノードO1～Onと接地ノード間に相互に直列接続されたトランジスタT1～TnおよびコンデンサC1～Cnから構成されており、トランジスタT1～Tnのゲートには図1の位相差電圧変換回路3からの遅延量制御電圧が印加される。また、出力選択回路4は制御端子付きの複数のバッファアンプ41～4nから構成されており、このバッファアンプ41～4nは制御端子に入力される制御信号G1～Gnによりそのいずれか1つのみが増幅動作可能なように制御される。

【0039】次にこの実施例の動作について図1および図2を用いて説明する。まず、クロック信号発生回路から入力された入力クロックは遅延回路1に入力されて各遅延素子D1～Dnの出力O1～Onから所定量ずつ遅延量が増えた信号が複数のタップより出力される。そし

てこの遅延回路1の最終段の遅延素子 D_n から出力された遅延信号は他の遅延素子の出力と同様タップから出力されるとともに位相差検出回路2に入力され、位相差検出回路2はこの遅延回路1の最終段の遅延素子 D_n から出力された遅延信号とともとの入力クロックとを比較してその位相差を検出する。そして、この検出結果は位相差電圧変換回路3によりその位相差に応じた電圧に変換され、これが遅延回路1にその遅延量制御電圧として印加される。この遅延量制御電圧は各遅延素子のバッファアンプ11~1nの出力とグランド間にコンデンサ $C_1 \sim C_n$ とともに接続されたトランジスタ $T_1 \sim T_n$ のゲートに印加されるので、この遅延量制御電圧の大小に応じてトランジスタ $T_1 \sim T_n$ の開度が決まり、これにより、コンデンサ $C_1 \sim C_n$ とともに構成された時定数回路の時定数が変化し、その遅延量を制御することができる。そしてこのように遅延量が制御された信号が遅延回路1の複数のタップから出力選択回路4に並列に入力され、遅延回路1のどの遅延素子の出力を選択するかを選択回路4の制御信号 $G_1 \sim G_n$ のどのひとつの信号を高レベルにするか選択することにより、入力信号から所要の遅延量を遅延させた遅延時間を得ることができる。

【0040】このように、本実施例では遅延回路を構成する、互いに直列に接続された遅延素子は、この遅延回路に入力されたクロック信号とこの遅延素子の最終段からの出力クロック信号の位相が一致するようにその遅延量が制御されるので、各タップから出力される遅延信号は入力クロック信号の周期の(1/遅延素子数)の時間分解能が得られ、従って、これを出力選択回路により選択することにより、この時間分解能の制御信号を発生することができる。

【0041】例えば、入力クロック周波数が20MHzのとき、遅延素子数を500個とすると、0.1ナノ秒の分解能の信号が得られる。

【0042】従って、非常に高い周波数のクロックを必要とすることなく、安定に高時間分解能の制御信号を発生することができる。

【0043】実施例2。また、図3に示すように、上記実施例1の構成に加え、位相差電圧変換回路3から出力される遅延量制御電圧を入力する前記遅延回路1と前記位相差検出信号との間の信号を相互にフィードバックするフィードバック回路5を設けるようにしてもよく、これにより、高い高時間分解能の制御信号をより安定に発生することができる。

【0044】実施例3。また、図4に示すように、遅延回路として第1の入力クロック信号を遅延する第1の遅延回路1を設け、この遅延回路1の出力信号と第1の入力クロック信号との位相比較を行なって遅延量制御電圧を得るとともに、第1の遅延回路1とは別系統の第2の遅延回路1aを設け、この第2の遅延回路1aに第1の入力クロック信号とは別の第2の入力クロック信号を入

力し、この第2の遅延回路1aの複数のタップから取り出した遅延信号を出力選択回路4により選択するようにしてもよく、これにより第1の入力クロック信号は遅延量制御電圧の検出専用に使われ、本来の制御信号はこれと周波数の異なる第2の入力クロック信号から得ることができる。

【0045】実施例4。さらに、図5に示すように、本来の入力クロック信号に対する遅延回路1、位相差検出回路2、位相差電圧変換回路3および出力選択回路4の他に、本来の入力クロック信号とは別の入力クロック信号 I_1, I_2, I_3 に対しこの入力クロック信号1, 2, 3をそれぞれ遅延する遅延回路101, 202, 301およびこの遅延回路101, 202, 301の複数のタップ出力をそれぞれ1つずつ選択する出力選択回路104, 204, 304を設け、この遅延回路101, 202, 301についてもその遅延量を遅延回路1に対する遅延量制御電圧で制御するようにしてもよく、これにより、さまざまな周波数を有する入力クロック信号から別々に制御信号を作成することができる。なお各々の遅延回路を構成する遅延素子の段数は同一でなくてもよい。

【0046】実施例5。図6はこの発明の第5の実施例によるパルス幅変調回路を示すものであり、図において、1は図示しないクロック発生回路により発生された入力クロック信号を遅延する遅延回路であり、複数取り出されたタップより同量分ずつ遅延された信号を出力するとともに、遅延量制御電圧に応じてその遅延量が制御される。4は上記遅延回路1から複数取り出されたタップの出力のうちの1つを選択してこれを制御信号として外部に出力する出力選択回路、6はこの出力選択回路4により選択された出力信号に基づいてパルス幅変調信号を生成するPWM信号生成回路である。なお、この図6では示していないが、遅延回路1の遅延量制御電圧は図1等と同様に位相差検出回路により入力クロック信号と遅延回路1の最終段の出力信号との位相差を検出し、これを位相差電圧変換回路により電圧信号に変換して得られるものである。

【0047】また、図7は図6の遅延回路1および出力選択回路4の回路構成例を示す図であり、図において、遅延回路1は相互に直列に接続された遅延素子 $D_1 \sim D_{2m}$ により構成されており、各遅延素子 $D_1 \sim D_{2m}$ はその入力信号を増幅するバッファアンプ11~12m、このバッファアンプ11~12mの出力ノード $O_1 \sim O_{2m}$ と接地ノード間に相互に直列接続されたトランジスタ $T_1 \sim T_{2m}$ およびコンデンサ $C_1 \sim C_{2m}$ から構成されており、トランジスタ $T_1 \sim T_{2m}$ のゲートには図示しない位相差電圧変換回路からの遅延量制御電圧が印加される。また、出力選択回路4は制御端子付きの複数のバッファアンプ41~42mおよび411~412mから構成されており、このバッファアンプ41~42m

11

は制御端子に入力される制御信号G 1 1～G 1 2mにより、またバッファアンプ4 1 1～4 1 2mは制御信号G 2 1～G 2 2mにより、そのいずれか1つのみが増幅動作可能のように制御される。また、PWM信号生成回路6は出力選択回路4のバッファアンプ4 1～4 mの出力がセット端子S 1に入力されバッファアンプ4 m+ 1～4 2mの出力がリセット端子R 1に入力されるフリップフロップ6 1と、バッファアンプ4 1 1～4 1 mの出力がセット端子S 2に入力されバッファアンプ4 1 m+ 1～4 1 2mの出力がリセット端子R 2に入力されるフリップフロップ6 2と、このフリップフロップ6 1および6 2の出力の論理和をPWM信号出力として出力する論理和回路6 3とから構成されている。

【0048】次に動作について図6ないし図8を用いて説明する。まず、クロック信号発生回路から入力された入力クロックは遅延回路1に入力されて各遅延素子D 1～D 2mの出力O 1～O 2mから所定量ずつ遅延量が増えた信号が複数のタップより出力される。そしてこの遅延回路1の最終段の遅延素子D 2mから出力された遅延信号は他の遅延素子の出力と同様タップから出力されるとともに図示しない位相差検出回路に入力され、位相差検出回路はこの遅延回路1の最終段の遅延素子D nから出力された遅延信号とともにその入力クロックとを比較してその位相差を検出する。そして、この検出結果は図示しない位相差電圧変換回路によりその位相差に応じた電圧に変換され、これが遅延回路1にその遅延量制御電圧として印加される。この遅延量制御電圧は各遅延素子のバッファアンプ1 1～1 2mの出力とグランド間にコンデンサC 1～C 2mとともに接続されたトランジスタT 1～T 2mのゲートに印加されるので、この遅延量制御電圧の大小に応じてトランジスタT 1～T 2mの開度が決まり、これにより、コンデンサC 1～C 2mとともに構成された時定数回路の時定数が変化し、その遅延量を制御することができる。そしてこのように遅延量が制御された信号が遅延回路1の複数のタップから出力選択回路4に並列に入力され、遅延回路1のどの遅延素子の出力を選択するかを選択回路4の制御信号G 1～G 2mのどの信号を高レベルにするか選択することにより、入力信号から所要の遅延量を遅延させた遅延時間を得ることができる。

【0049】そして、この実施例では、出力選択回路4の出力はそれぞれPWM信号生成回路6を構成するフリップフロップ6 1のセット入力端子S 1、リセット入力端子R 1に入力されるとともに、フリップフロップ6 2のセット入力端子S 2、リセット入力端子R 2に入力されており、信号S 1は遅延回路1の出力端子O 1～O mの出力のうちのひとつが出力選択回路4の制御信号G 1 1～G 1 mにより選択されて入力され、信号R 1は遅延回路1の出力端子O m+ 1～O 2mの出力のうちのひとつが出力選択回路4の制御信号G 1 m+ 1～G 1 2mに

12

より選択されて入力され、信号S 2は遅延回路1の出力端子O 1～O mの出力のうちのひとつが出力選択回路4の制御信号G 2 1～G 2 mにより選択されて入力され、信号R 1は遅延回路1の出力端子O m+ 1～O 2mの出力のうちのひとつが出力選択回路4の制御信号G 2 m+ 1～G 2 2mにより選択されて入力される。

【0050】フリップフロップ6 1、6 2はそれぞれ信号S 1、S 2が入力されることにより高レベルの電圧を発生し、信号R 1、R 2が入力されることにより低レベルの電圧を発生する。従って、出力選択回路4により遅延回路1の遅延素子の出力を選択することにより、図8に示すように、PWM出力のパルス幅を得ることができる。

【0051】実施例6. 図9はこの発明の第6の実施例による遅延制御回路を示す。図において、4 0 1～4 0 Nは本来の出力選択回路4の他に設けられそれぞれに遅延回路1の遅延素子の出力が入力され複数の遅延信号を得るものである。また、この実施例の遅延量制御電圧も図1の実施例等と同様に位相差検出回路と位相差電圧変換回路とにより得られるものである。

【0052】実施例7. 図10はこの発明の第7の実施例によるクロック発生回路を示す。図において、1はフィードバック回路7により発生された信号を遅延する遅延回路であり、複数取り出されたタップより同量分ずつ遅延された信号を出力するとともに、遅延量制御電圧に応じてその遅延量が制御される。4は上記遅延回路1から複数取り出されたタップの出力のうちの1つを選択してこれを制御信号として外部に出力する出力選択回路、7はこの出力選択回路4により選択された出力を遅延回路1にフィードバックするフィードバック回路である。

【0053】図11はこの図10の回路の構成例を示し、フィードバック回路7は出力選択回路4のバッファアンプ4 1～4 nの出力が共通に接続されたクロック出力を反転し遅延回路1の遅延素子D 1に出力するインバータ7 1により構成されている。

【0054】次に動作について説明する。まず、フィードバック回路7により発生された信号は遅延回路1に入力されて各遅延素子D 1～D nの出力O 1～O nから所定量ずつ遅延量が増えた信号が複数のタップより出力される。そしてこの遅延回路1の最終段の遅延素子D nから出力された遅延信号は他の遅延素子の出力と同様タップから出力されるとともに図示しない位相差検出回路に入力され、位相差検出回路はこの遅延回路1の最終段の遅延素子D nから出力された遅延信号とともにその入力クロックとを比較してその位相差を検出する。そして、この検出結果は図示しない位相差電圧変換回路によりその位相差に応じた電圧に変換され、これが遅延回路1にその遅延量制御電圧として印加される。この遅延量制御電圧は各遅延素子のバッファアンプ1 1～1 nの出力とグランド間にコンデンサC 1～C nとともに接続された

13

トランジスタ $T_1 \sim T_n$ のゲートに印加されるので、この遅延量制御電圧の大小に応じてトランジスタ $T_1 \sim T_n$ の開度が決まり、これにより、コンデンサ $C_1 \sim C_n$ とともに構成された時定数回路の時定数が変化し、その遅延量を制御することができる。そしてこのように遅延量が制御された信号が遅延回路1の複数のタップから出力選択回路4に並列に入力され、遅延回路1のどの遅延素子の出力を選択するかを選択回路4の制御信号 $G_1 \sim G_n$ のどの信号を選択可能信号にするかを選択することにより、入力信号から所要の遅延量を遅延させた遅延時間を得ることができる。

【0055】そして、本実施例では出力選択回路により遅延回路にフィードバックする信号を選択することができ、これにより、クロック出力の周波数を変えることができる。

【0056】

【発明の効果】以上のように、この発明に係る制御信号発生回路によれば、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路とを設けるようにしたので、遅延回路の出力信号とその入力信号との位相が一致し、その遅延回路のさまざまな遅延出力を選択してこれを制御信号として使用でき、非常に高い周波数のクロックを必要とせず、かつ安定に高時間分解能の制御信号を発生できる効果がある。

【0057】また、この発明に係る制御信号発生回路によれば、前記位相差電圧変換回路から出力される遅延量制御電圧を入力する前記遅延回路と前記位相差検出信号との間の信号を相互にフィードバックするフィードバック回路を設けるようにしたので、制御信号をより安定に得ることができる効果がある。

【0058】また、この発明に係る制御信号発生回路によれば、前記遅延回路として、第1のクロック信号および第1の遅延量制御電圧とを入力する第1の遅延回路と、第2のクロック信号および第2の遅延量制御電圧とを入力する第2の遅延回路とを設けるようにしたので、第1のクロック信号とは別種の周波数を有する第2のクロック信号に基づいて制御信号を得ることができ、制御信号の作成の自由度が向上するという効果がある。

【0059】また、この発明に係る制御信号発生回路によれば、前記信号発生回路を、前記遅延量制御電圧と他のクロック信号とを入力する遅延回路と、該遅延回路から出力される制御信号を出力選択する出力選択回路とをさらに設けるようにしたので、さまざまなクロック信号

14

に基づいて制御信号を作成することができ、制御信号の作成の自由度がさらに向上するという効果がある。

【0060】また、この発明に係る制御信号発生回路によれば、前記遅延回路として、遅延素子を複数個直列に接続して構成したものをを用いるようにしたので、さまざまな遅延量を有する制御信号となりうる信号を実際に作成することができるという効果がある。

【0061】この発明に係るパルス幅変調回路によれば、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路と、該出力選択信号を入力してパルス幅変調信号を出力するパルス幅変調信号生成回路とを設けるようにしたので、制御信号発生回路で作成したさまざまな遅延量を有する制御信号をパルス幅変調信号生成回路で作成するパルス幅変調信号のパルス幅の制御に用いることができ、非常に高い周波数のクロックを必要とせず、かつ安定に高時間分解能のパルス幅変調信号を作成できる効果がある。

【0062】また、この発明におけるパルス幅変調回路においては、前記遅延回路として、遅延素子を複数個直列に接続してなるものをを用いるようにしたので、パルス幅変調信号のパルス幅の制御に使用するさまざまな遅延量を有する制御信号を実際に得ることができるという効果がある。

【0063】また、この発明における遅延制御回路においては、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路とを設けるとともに、かつ前記出力選択回路にその選択信号のうちの1つのみを高レベル電圧として選択して遅延信号を出力する遅延信号出力回路を設けるようにしたので、出力選択回路で遅延回路の遅延信号を選択することにより、非常に高い周波数のクロックを必要とせず、かつ安定に高時間分解能の遅延量が制御された信号を得ることができるという効果がある。

【0064】また、この発明における遅延制御回路においては、前記遅延回路として、遅延素子を複数個直列に接続してなるものをを用いるようにしたので、遅延量が制御された信号を実際に得ることができる、という効果がある。

【0065】また、この発明に係る遅延制御回路においては、前記出力選択回路を、複数個設けるようにしたので、遅延量が制御された信号を複数得ることができるという効果がある。

【0066】また、この発明におけるクロック発生回路によれば、クロック信号発生回路と、該回路より出力されるクロック信号を入力する遅延回路と、該遅延回路から出力される遅延信号と前記クロック信号発生回路から出力されるクロック信号との位相差を検出する位相差検出回路と、該位相差検出回路から出力される位相差信号を電圧に変換する位相差電圧変換回路と、該変換回路からの遅延量制御電圧を前記遅延回路に入力して該遅延回路から出力される制御信号を出力選択する出力選択回路と、該出力選択回路の選択信号が高レベル電圧のとき前記遅延回路に選択された制御信号を入力するフィードバック回路とを設けるようにしたので、フィードバックする信号を選択することにより、クロック出力の周波数を変更することができ、非常に高い周波数のクロックを必要とせず、かつ安定に高時間分解能のクロック信号を作成できるという効果がある。

【0067】また、この発明におけるクロック発生回路においては、前記遅延回路として、遅延素子を複数個直列に接続してなるものを用いるようにしたので、周波数を変更し得る複数のクロック出力を実際に得ることができる、という効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による制御信号発生回路を示す構成図である。

【図2】この発明の一実施例による制御信号発生回路の回路内部の詳細な構成を示す図である。

【図3】この発明の第2の実施例による制御信号発生回

路を示す構成図である。

【図4】この発明の第3の実施例による制御信号発生回路を示す構成図である。

【図5】この発明の第4の実施例による制御信号発生回路を示す構成図である。

【図6】この発明の第5の実施例によるパルス幅変調回路を示す構成図である。

【図7】この発明の第5の実施例によるパルス幅変調回路の回路内部の詳細な構成を示す図である。

【図8】この発明の第5の実施例によるパルス幅変調回路の動作波形の一例を示す図である。

【図9】この発明の第6の実施例による遅延制御回路を示す構成図である。

【図10】この発明の第7の実施例によるクロック発生回路を示す構成図である。

【図11】この発明の第7の実施例によるクロック発生回路の詳細な構成を示す図である。

【図12】従来の制御信号発生回路の一例であるPLL回路を示す構成図である。

【図13】従来の制御信号発生回路の一例であるPWM回路を示す構成図である。

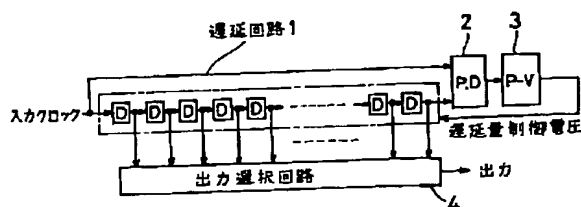
【図14】従来の制御信号発生回路の一例であるアナログ回路を示す構成図である。

【図15】図14の回路の動作波形を示す図である。

【符号の説明】

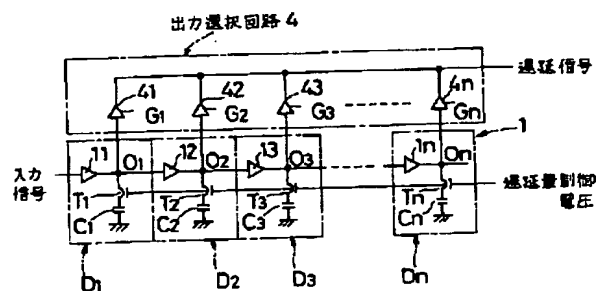
- 1 遅延回路
- 2 位相差検出回路
- 3 位相差電圧変換回路
- 4 出力選択回路
- 5 フィードバック回路
- 6 PWM信号生成回路

【図1】

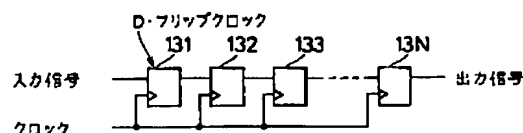


- D : 遅延素子
2 : 位相差検出回路
3 : 位相差・電圧変換回路

【図2】

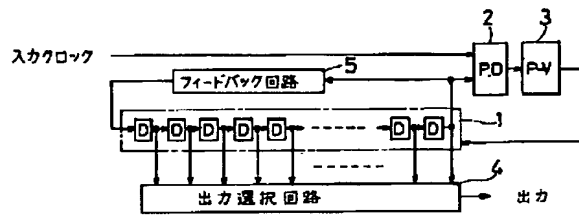


【図13】

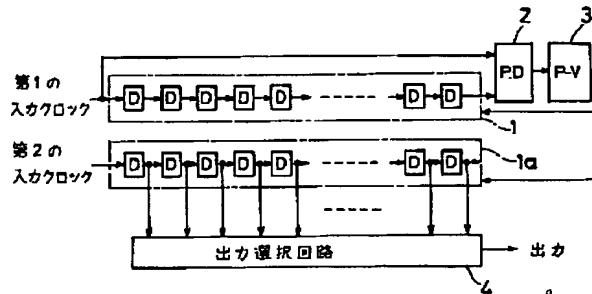


BEST AVAILABLE COPY

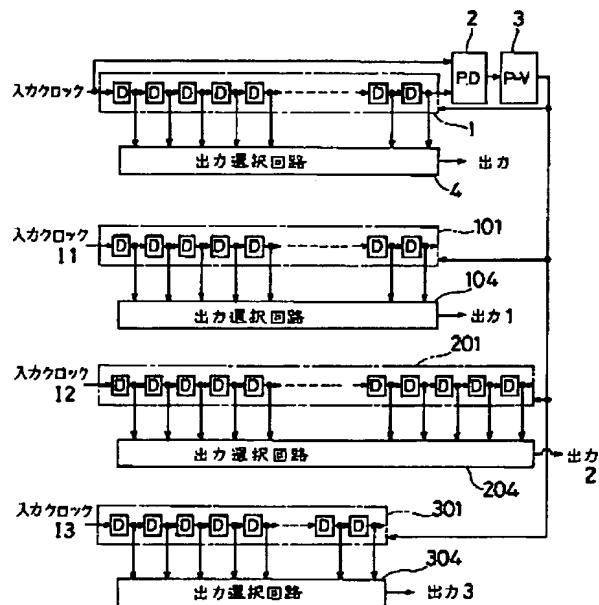
【図3】



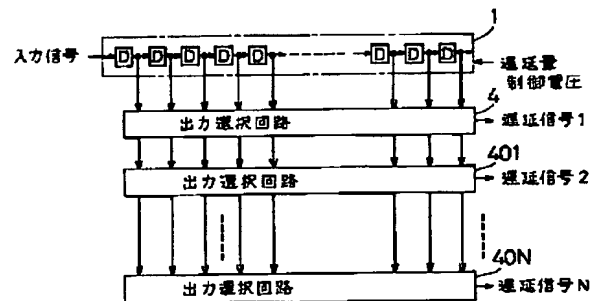
【図4】



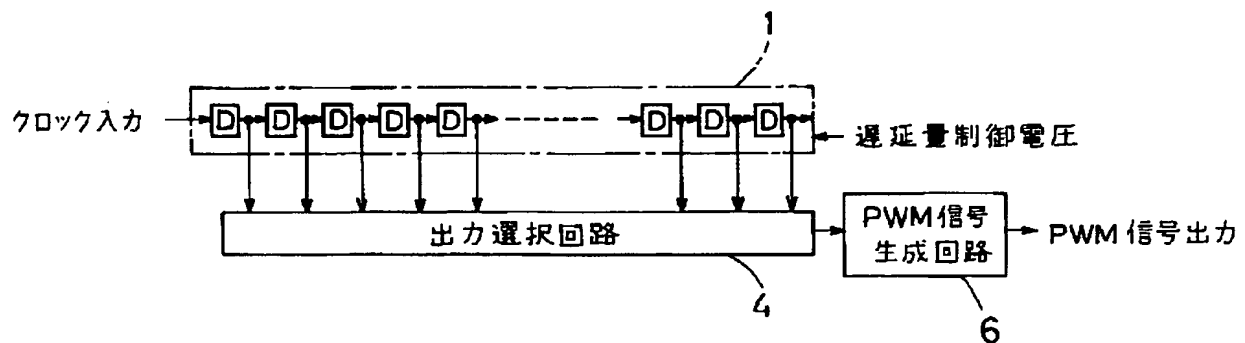
【図5】



【図9】

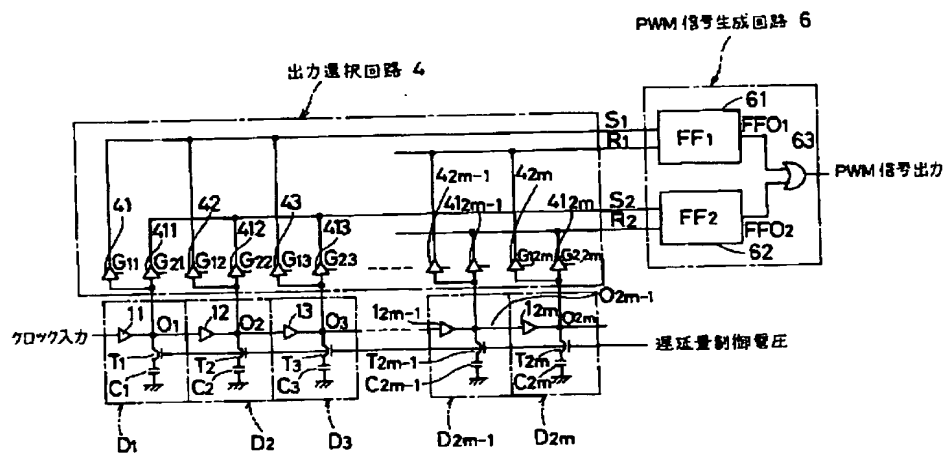


【図6】

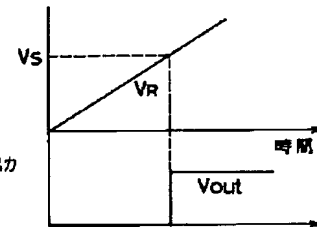


BEST AVAILABLE COPY

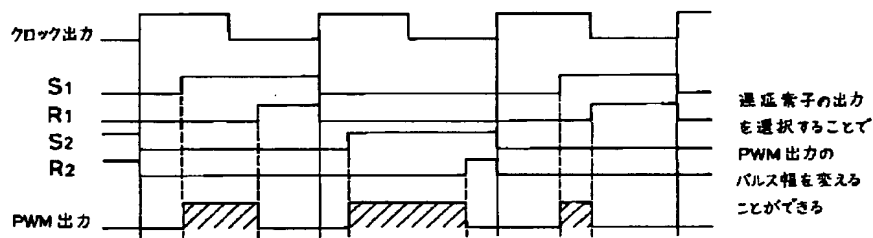
【図7】



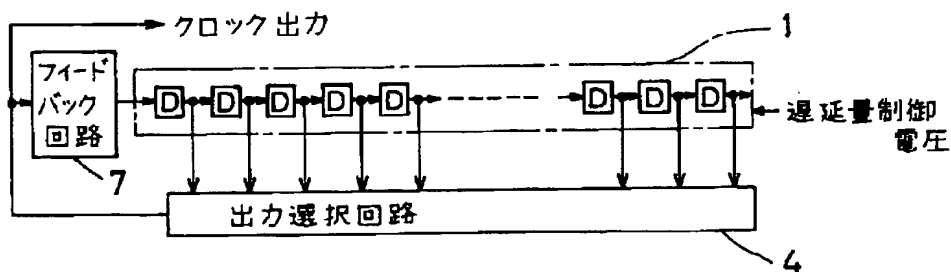
【図15】



【図8】

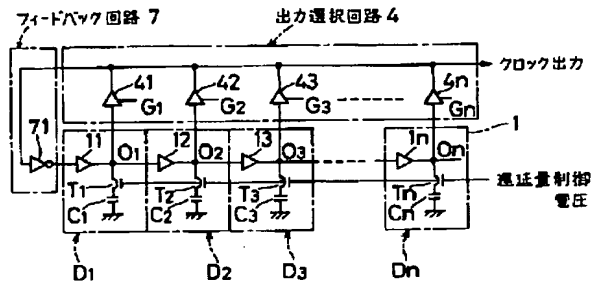


【図10】

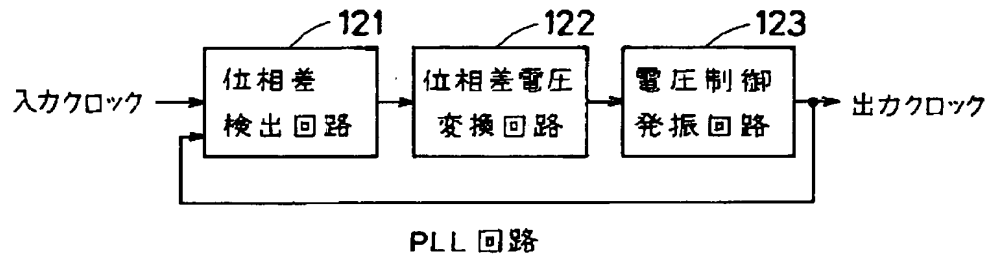


BEST AVAILABLE COPY

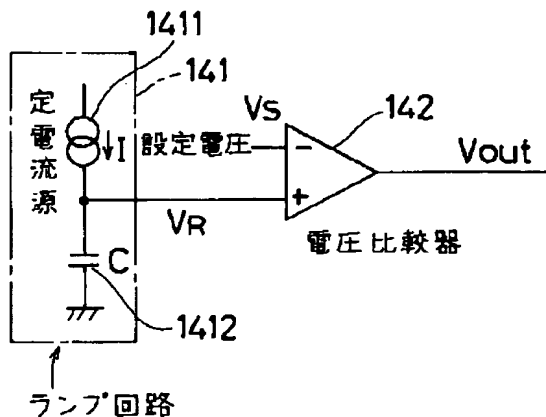
【図11】



【図12】



【図14】



【手続補正書】

【提出日】平成5年6月30日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】また、この発明におけるクロック発生回路においては、前記遅延回路として、遅延素子を複数個直

列に接続してなるものを用いるようにしたので、周波数を変更し得る複数のクロック出力を実際に得ることができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】実施例4. さらに、図5に示すように、本来の入力クロック信号に対する遅延回路1、位相差検出回路2、位相差電圧変換回路3および出力選択回路4の他に、本来の入力クロック信号とは別の入力クロック信号I1、I2、I3に対しこの入力クロック信号1、2、3をそれぞれ遅延する遅延回路101、201、301およびこの遅延回路101、201、301の複数のタップ出力をそれぞれ1つずつ選択する出力選択回路104、204、304を設け、この遅延回路101、201、301についてもその遅延量を遅延回路1に対する遅延量制御電圧で制御するようにしてもよく、これ*

*により、さまざまな周波数を有する入力クロック信号から別々に制御信号を作成することができる。なお各々の遅延回路を構成する遅延素子の段数は同一でなくてもよい。

【手続補正3】

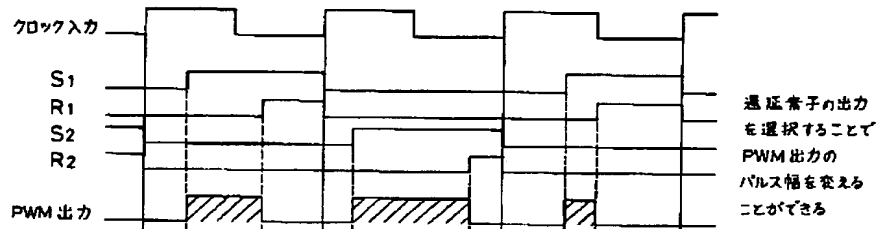
【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



【手続補正4】

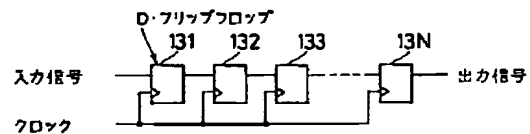
【補正対象書類名】図面

【補正対象項目名】図13

【補正方法】変更

【補正内容】

【図13】



BEST AVAILABLE COPY